

温度制御型プログラマブル MOSFET ドライバ

ISL25700

ISL25700 は、8 ビット D/A コンバータ 2 系統とオーバーカレント保護機能をモノリシック CMOS IC 上に集積した、高性能な温度制御型 MOSFET ドライバです。

対象点の温度をモニターし、ユーザーが設定したセットポイントと比較して、設定温度に到達するまで出力を駆動します。ISL25700 のほかに、外付けのパワー MOSFET、ヒーター、および NTC サーミスタを使って温度制御ループを構成します。

電流の上限値を設定できる MOSFET のオーバーカレント保護機能も備えており、出力電圧を自動的に調整して MOSFET パワーをユーザー定義リミット以下に維持します。保護設定は電流リミット違反を引き起こす可能性のある温度設定よりも優先します。

アプリケーションが自由に使える 8 ビット汎用 D/A コンバータを 2 系統搭載しています。

ISL25700 は一定温度の維持が必要なアプリケーションに最適です。

アプリケーション * (17 ページ参照)

- マイクロ恒温槽を用いた次のような温度制御アプリケーション
 - 基地局
 - 分光器
 - プレシジョンメーター
 - プレシジョンジェネレータ

特長

- I²C シリアルインタフェースを介してセットポイントの設定が可能
- セットポイントの温度範囲：+40°C ~ +110°C
- 動作温度範囲：-40°C ~ +125°C
- セットポイント初期精度：3°C
- セットポイントの粗調整および微調整
 - 粗調整範囲 +15°C
 - 微調整範囲 +0.1°C
- 長期ドリフト誤差：±0.5°C
- 外付け MOSFET のプログラマブルな電流保護
- 5 ビットのゲイン設定
- 電源電圧範囲：3V ~ 15V
- 20kΩ から 200kΩ の外付け NTC サーミスタに対応
- 汎用 8 ビット D/A コンバータ、出力分解能 0.4%
- 高い信頼性
 - 耐久性：各レジスタのビットあたり 1 万回のデータ書き換え
 - レジスタデータ保持：T ≤ +125°C にて 10 年間
- 10 リード μTFDN 2.1mm×1.6mm パッケージ
- 鉛フリー (RoHS 準拠)

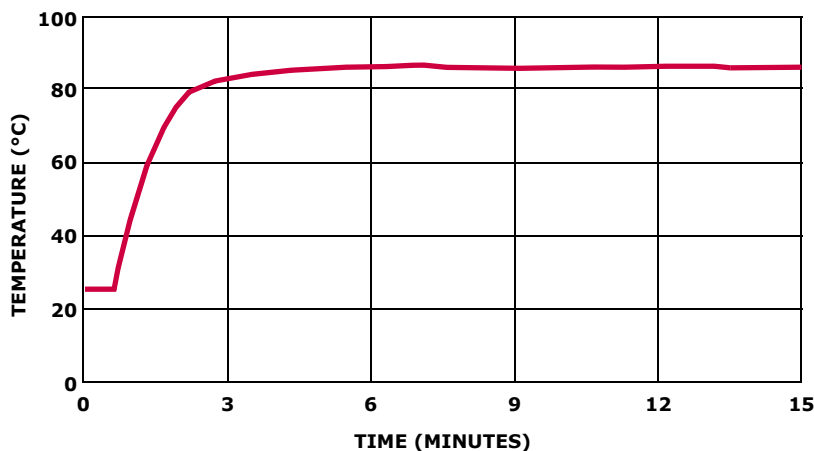
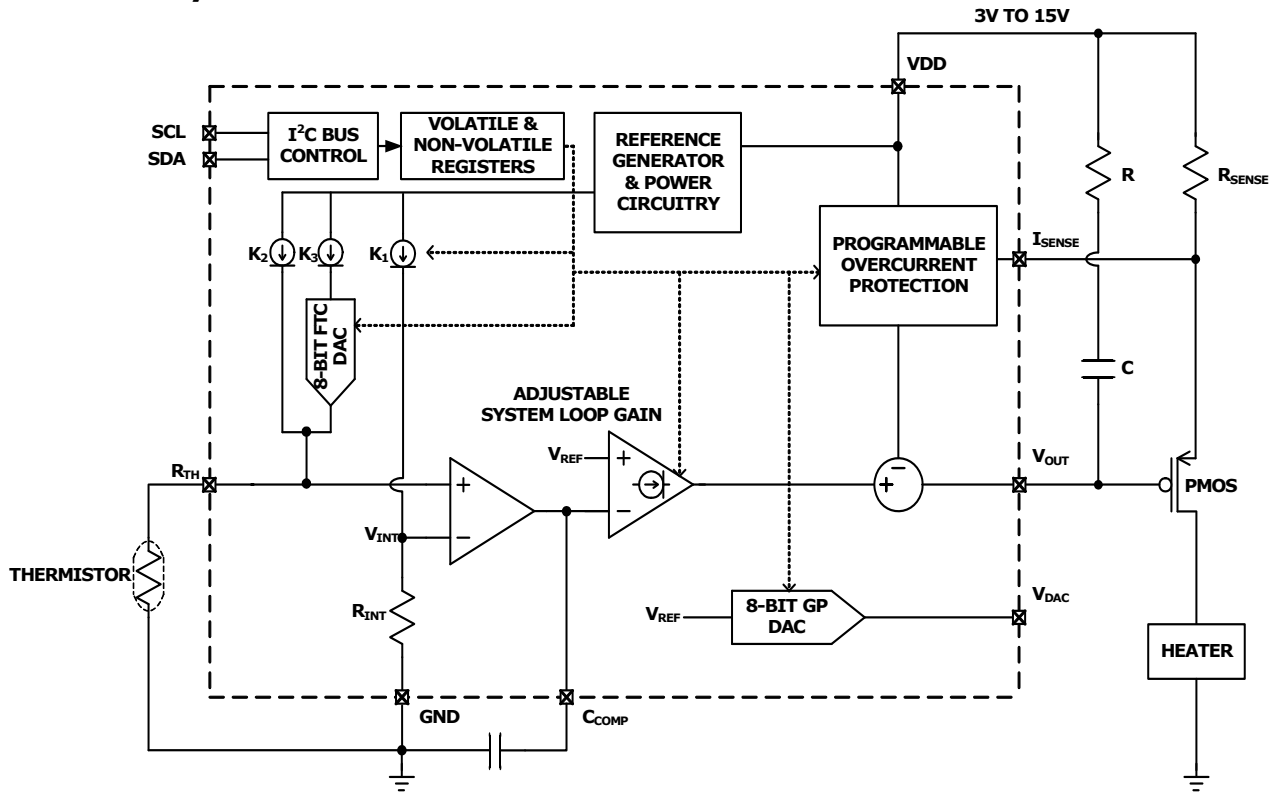
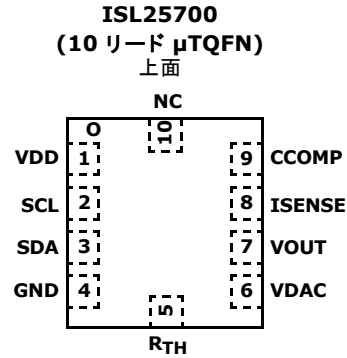


図 1. 温度セトリング時間の代表的特性

ブロック図 / アプリケーション回路



ピン配置



ピンの説明

μ TQFN ピン番号	ピン名称	説明
1	VDD	電源。デバイスの動作に必要な電源を与えます。
2	SCL	I ² C インタフェースの入力クロック。I ² C シリアルインタフェースのシリアルクロック入力です。SCL には外付けプルアップ抵抗が必要です。ピンが開放のときに入力が中間電位とならないように、およそ 3M Ω のプルダウン抵抗が内蔵されています。
3	SDA	I ² C インタフェースのオープンドレインシリアル入出力。SDA は I ² C インタフェースの双方向シリアルデータ入出力です。I ² C マスターデバイスが出力するデバイスアドレス、オペコード、およびデータを、シリアルクロック SCL の立ち上がりエッジで取り込みます。また、シリアルクロックの立ち下がりがエッジでデータを出力します。SDA ピンには外付けプルアップ抵抗が必要です。ピンが開放のときに入力が中間電位とならないように、およそ 3M Ω のプルダウン抵抗が内蔵されています。
4	GND	グラウンド。デバイスのバイアスグラウンドおよび基準グラウンドです。
5	R _{TH}	外付け NTC サーミスタ。外付け NTC サーミスタはホイートストンブリッジの一辺を構成し、R _{TH} ピンと GND の間に接続します。
6	VDAC	DAC 出力。高精度な 8 ビット D/A コンバータの出力です。D/A コンバータの出力電圧範囲はデフォルトで 0V から 2V です。D/A コンバータの出力電圧範囲を 2 倍にするには、ゲインコントロールレジスタの DAC ゲインビット Reg.03h[6] を 1 にセットします。
7	VOUT	外付け P チャネル MOSFET の制御出力。ホイートストンブリッジの不均衡に比例して外付け P-MOSFET を駆動します。
8	ISENSE	電流センス入力。外付け電流センス抵抗 R _{SENSE} 両端の電圧低下をモニターします。電流センスレジスタ Reg.01h[7:3] 設定した電圧低下リミット値を ISENSE が超えると、P-MOSFET の電力損失が制限されます。
9	CCOMP	補償コンデンサ。デバイスの安定性を高めるために、補償用のセラミックコンデンサを CCOMP ピンとグラウンド間に接続します。容量値は 30pF から 1000pF です。このコンデンサを介してオペアンプに負帰還が与えられます。
10	NC	内部回路には接続されていません。

注文情報

部品番号 (備考 1, 2, 3)	マーキング	リールあたりの 個数	温度範囲 (°C)	パッケージ (鉛フリー)	パッケージの 外形図
ISL25700FRUZ-T	GT	3000	-40 to +125	10 Ld 2.1x1.6 μTQFN	L10.2.1x1.6A
ISL25700FRUZ-TK	GT	1000	-40 to +125	10 Ld 2.1x1.6 μTQFN	L10.2.1x1.6A
ISL25700FRUZ-T7A	GT	250	-40 to +125	10 Ld 2.1x1.6 μTQFN	L10.2.1x1.6A

備考：

1. リールの詳細仕様については Technical Brief 「[Tape and Reel Specification for Integrated Circuit \(TB347\)](#)」を参照してください。
2. これら鉛フリーのプラスチックパッケージ製品には、専用の鉛フリー素材、モールド素材、ダイアタッチ素材を採用するとともに、RoHS 指令に準拠し、かつ、Pb はんだ付け作業および鉛フリーはんだ付け作業と互換性のある e4 端子外装処理の NiPdAu メッキを施しています。インターシルの鉛フリー製品は鉛フリーピークリフロー温度において MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
3. 湿度感受性レベル (MSL) については [ISL25700](#) のデバイス情報ページを参照してください。MSL の詳細については Technical Brief 「[Guidelines for Handling and Processing Moisture Sensitive Surface Mount Devices \(TB363\)](#)」を参照してください。

ISL25700

絶対最大定格

すべてのデジタルインタフェースピン電圧、
 GND 基準.....-0.3V ~ +6V
 V_{DD} -0.3V ~ +16.5V
 ESD 定格
 人体モデル (JESD22-A114F にて試験) 5kV
 機械モデル (JESD22-A115B にて試験) 200V
 ラッチアップ..... +125°C にて Class II, Level A

温度情報

熱抵抗 (代表値) θ_{JA} (°C/W) θ_{JC} (°C/W)
 10 リード μ TQFN パッケージ (備考 4, 5) 135 75
 保存温度範囲 -65°C ~ +150°C
 最大接合部温度 (プラスチックパッケージ) +150°C
 鉛フリー・リフロープロファイル.....以下の URL を参照
<http://www.intersil.com/pbfree/Pb-FreeReflow.asp>

推奨動作条件

温度範囲 (インダストリアル) -40°C ~ +125°C
 V_{DD} 3V ~ 15V

注意: 過度に長い期間にわたって最大定格点または最大定格付近でモジュールを動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

備考:

- θ_{JA} はデバイスを放熱効率の高い試験基板に実装し自由大気中で測定した値です。詳しくは Technical Brief 「[Thermal Characterization of Packaged Semiconductor Devices \(TB379\)](#)」を参照してください。
- θ_{JC} の測定における「ケース温度」位置はパッケージ上面の中心です。

アナログ特性

特記のない限り推奨動作条件の範囲に適用。太字のリミット値は動作温度範囲である -40°C から +125°C に対して適用されます。

記号	パラメータ	試験条件	MIN (備考 13)	TYP (備考 6)	MAX (備考 13)	単位
T_{SET}	Temperature Set Point	T_{SET} must be above ambient	MIN	40		°C
			MAX	110		°C
	Temperature Set Point Accuracy	3 sigma standard deviation		±3		°C
T_{SET_COARSE}	Coarse Adjustment of Set Point	$R_{TH} = 100k @ +25^{\circ}C$, $B_{25/85} = 4100k$ (備考 14)		15		°C
T_{SET_FINE}	Fine Adjustment of Set Point			0.1		°C
$T_{SET_FINE_INL}$ (備考 9)	Fine Control Integral Non-linearity		-2.5	±0.9	+2.5	LSB (備考 7)
$T_{SET_FINE_DNL}$ (備考 8)	Fine Control Differential Non-linearity		-2	±0.5	+2	LSB (備考 7)
T_{DRIFT}	Long-term Drift of Set Point	1000h, Reg.1 = x2h, Reg.2 = 80h, Reg.3 = 90h		±0.5		°C
I_{TH}	Thermistor Current Range		25	40	55	μA
R_{TH}	NTC Thermistor Range	Resistance @ +25°C	20	100	200	kΩ
V_{OUT}	External P-MOSFET Gate Voltage	$I_{OUT} = 0\mu A$	0.25		V_{DD}	V
	V_{OUT} Swing @ Fixed V_{DD}	$I_{OUT} = 0\mu A$	MIN	$V_{DD} - 2.5$		V
I_{OUT}	Output Current				7	μA
V_{SENSE}	Overcurrent Protection Set Point	$V_{SENSE} = I_{SENSE} \times R_{SENSE}$; see Table 3		200 to 1750		mV

GENERAL PURPOSE DAC (MEASUREMENTS BETWEEN GND AND V_{DAC})

V_{DAC_MAX}	Maximum DAC Output	Using internal V_{REF} , $V_{DD} \leq 5V$, No load, Gain = 1		2	2.5	V
		$V_{DD} > 5V$, No load, Gain = 2		4	5.0	V
INL (備考 9)	Integral Non-Linearity	No load	-1	±0.4	+1	LSB (備考 7)
DNL (備考 8)	Differential Non-linearity	No load	-0.75	±0.3	+0.75	LSB (備考 7)
V_{DAC_OFFSET}	Offset	DAC register set to 0, No load	0	0.2	1	LSB (備考 7)
R_{OUT}	DAC Output Impedance			350		Ω

ISL25700

アナログ特性

特記のない限り推奨動作条件の範囲に適用。太字のリミット値は動作温度範囲である -40°C から $+125^{\circ}\text{C}$ に対して適用されます。(続き)

記号	パラメータ	試験条件	MIN (備考 13)	TYP (備考 6)	MAX (備考 13)	単位
PSRR	Power Supply Rejection Ratio	DAC at middle scale, frequency from 0Hz to 25kHz		-85		dB
TC _V (備考 10, 11)	Temperature Coefficient	DAC register set between 20 hex and FF hex		±45		ppm/°C

動作特性

特記のない限り推奨動作条件の範囲に適用。太字のリミット値は動作温度範囲である -40°C から $+125^{\circ}\text{C}$ に対して適用されます。

記号	パラメータ	試験条件	MIN (備考 13)	TYP (備考 6)	MAX (備考 13)	単位
I _{DD1}	V _{DD} Supply Current (Non-Volatile Write/read)	f _{SCL} = 400kHz; SDA = Open; (for I ² C, Active, Read and Write States) I _{PMOS} = 0mA, DAC unload			4	mA
I _{DD2}	V _{DD} Supply Current (Volatile Write/read)	I _{PMOS} = 0mA, DAC unload			2.8	mA
I _{LkgDig}	Leakage Current, at SDA and SCL Pins	Voltage at pin from GND to VCC	-2		2	μA
t _{DAC} (備考 11)	DAC Settling Time	From bus STOP condition to V _{DAC} change			3	μs
V _{POR}	Power-On Recall Voltage	Minimum V _{DD} at which memory recall occurs		2.5	2.9	V
V _{DD} Ramp	V _{DD} Ramp Rate	@ any level from 0V to 15V	0.2		50	V/ms
t _D (備考 11)	Power-Up Delay	V _{DD} above V _{POR} , to DAC Register recall completed, and I ² C Interface in standby state			1	ms

EEPROM SPECIFICATIONS

	EEPROM Endurance		10,000			Cycles
	EEPROM Retention	Temperature ≤ +55°C	50			Years
		Temperature ≤ +125°C	10			Years

SERIAL INTERFACE SPECIFICATIONS

V _{I2C}	I ² C Bus Voltage	V _{I2C} ≤ V _{DD}	2.7		5.5	V
V _{IL}	SDA, and SCL Input Buffer LOW Voltage	V _{I2C} from 2.7V to 5.5V			0.8	V
V _{IH}	SDA, and SCL Input Buffer HIGH Voltage	V _{I2C} from 2.7V to 5.5V	1.4			V
Hysteresis (備考 11)	SDA and SCL Input Buffer Hysteresis		0.05*V_{I2C}			V
V _{OL} (備考 11)	SDA Output Buffer LOW Voltage, Sinking 4mA		0		0.4	V
C _{pin} (備考 11)	SDA, and SCL Pin Capacitance				10	pF
f _{SCL}	SCL Frequency				400	kHz
t _{IN} (備考 11)	Pulse Width Suppression Time at SDA and SCL Inputs	Any pulse narrower than the max spec is suppressed			50	ns
t _{AA} (備考 11)	SCL Falling Edge to SDA Output Data Valid	SCL falling edge crossing 30% of V _{I2C} , until SDA exits the 30% to 70% of V _{I2C} window			900	ns
t _{BUF} (備考 11)	Time the Bus Must be Free Before the Start of a New Transmission	SDA crossing 70% of V _{I2C} during a STOP condition, to SDA crossing 70% of V _{I2C} during the following START condition	1300			ns
t _{LOW}	Clock LOW Time	Measured at the 30% of V _{I2C} crossing	1300			ns
t _{HIGH}	Clock HIGH Time	Measured at the 70% of V _{I2C} crossing	600			ns

ISL25700

動作特性

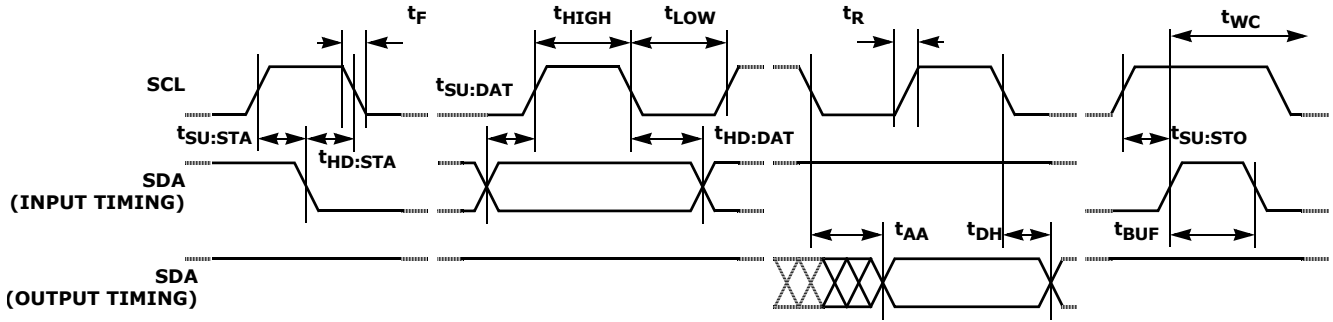
特記のない限り推奨動作条件の範囲に適用。太字のリミット値は動作温度範囲である -40°C から $+125^{\circ}\text{C}$ に対して適用されます。(続き)

記号	パラメータ	試験条件	MIN (備考 13)	TYP (備考 6)	MAX (備考 13)	単位
$t_{\text{SU:STA}}$	START Condition Setup Time	SCL rising edge to SDA falling edge. Both crossing 70% of V_{I2C} .	600			ns
$t_{\text{HD:STA}}$	START Condition Hold Time	From SDA falling edge crossing 30% of V_{I2C} to SCL falling edge crossing 70% of V_{I2C}	600			ns
$t_{\text{SU:DAT}}$	Input Data Setup Time	From SDA exiting the 30% to 70% of V_{I2C} window, to SCL rising edge crossing 30% of V_{I2C}	100			ns
$t_{\text{HD:DAT}}$	Input Data Hold Time	From SCL falling edge crossing 70% of V_{I2C} to SDA entering the 30% to 70% of V_{I2C} window	0			ns
$t_{\text{SU:STO}}$	STOP Condition Setup Time	From SCL rising edge crossing 70% of V_{I2C} , to SDA rising edge crossing 30% of V_{I2C}	600			ns
t_{DH}	Output Data Hold Time	From SCL falling edge crossing 30% of V_{I2C} , until SDA enters the 30% to 70% of V_{I2C} window	0			ns
t_{R}	SDA and SCL Rise Time	From 30% to 70% of V_{I2C}	20 + 0.1 * Cb		250	ns
t_{F}	SDA and SCL Fall Time	From 70% to 30% of V_{I2C}	20 + 0.1 * Cb		250	ns
Cb	Capacitive Loading of SDA or SCL	Total on-chip and off-chip	10		400	pF
Rpu (備考 11)	SDA and SCL Bus Pull-Up Resistor Off-Chip	Maximum is determined by t_{R} and t_{F} . For Cb = 400pF, max is about 2~2.5k Ω For Cb = 40pF, max is about 15~20k Ω	1			k Ω
t_{WC} (備考 11, 12)	Non-Volatile Write Cycle Time			15	20	ms

備考：

- TYP 値は、 $T_{\text{A}} = +25^{\circ}\text{C}$ 、電源電圧 +12V での値です。
- LSB: $[\text{VDAC}_{255} - \text{VDAC}_0]/255$ 。ここで VDAC_{255} と VDAC_0 は、汎用 DAC レジスタ Reg.04h[7:0] をそれぞれ FFh および 00h に設定したときの DAC の出力電圧です。
- $\text{DNL} = [\text{VDAC}_i - \text{VDAC}_{i-1}]/\text{LSB} - 1$, for $i = 1$ to 255。ここで i は汎用 DAC レジスタ Reg.04h[7:0] の設定値。
- $\text{INL} = [\text{VDAC}_i - (i \cdot \text{LSB} + \text{VDAC}_0)]/\text{LSB}$ for $i = 1$ to 255
- $\text{TCV} = \frac{\text{VDAC}_i(T) - \text{VDAC}_i(40^{\circ}\text{C})}{\text{VDAC}_i(40^{\circ}\text{C})} \times \frac{10^6}{(T - 40)^{\circ}\text{C}}$, for $i = 1$ to 255。T = $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 40°C を基準。
- リミット値は特性評価にて得ており、製品では試験していません。
- t_{WC} は、I²C シリアルインタフェースのライト動作でのライトシーケンスの終了における有効な STOP 条件から、内部不揮発性レジスタへのライトサイクルまでの時間です。不揮発性レジスタへのライトサイクルの終了は BUSY 状態のポーリングで確認できます。
- MIN リミットおよび MAX リミットを有するパラメータは、特記のない限り、 $+25^{\circ}\text{C}$ にて全数試験を行っています。温度リミットは特性評価にて得ており、製品では試験していません。
- $B_{25/85}$ はサーミスタ素材固有の定数で、抵抗値と温度の関係を表したグラフの傾きを表します。

SCL 信号と SDA 信号のタイミング



代表的な性能特性

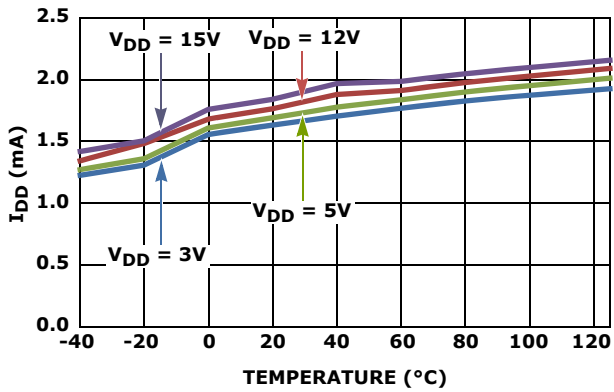


図 2. 電源電流 I_{DD} vs V_{DD}

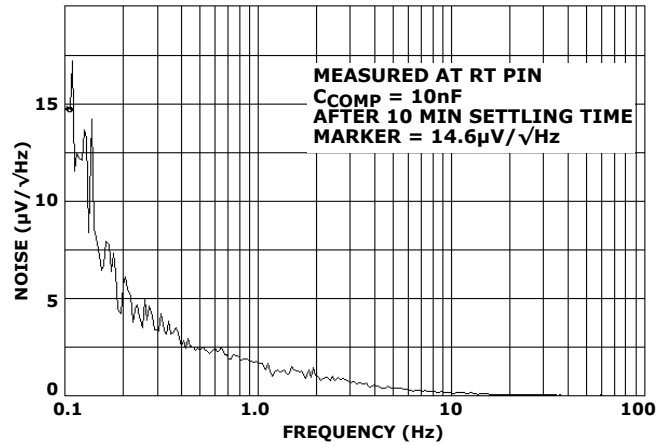


図 3. 閉ループアプリケーションでの R_{TH} 入力におけるノイズレベル、 $2\mu\text{V}/\sqrt{\text{Hz}}$ @ 1Hz

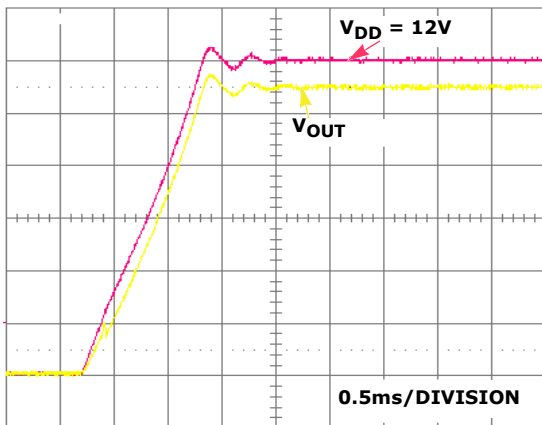


図 4. V_{OUT} パワーアップディレイ

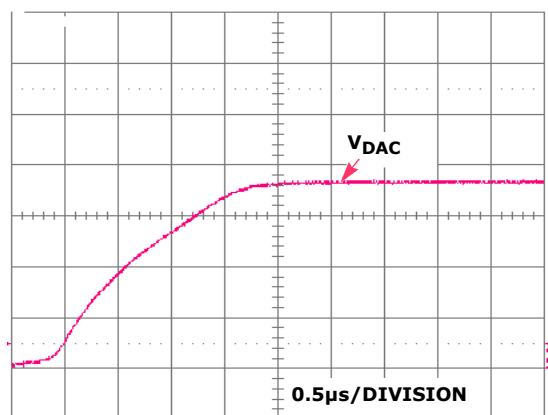


図 5. 汎用 DAC のセッティング時間 (フルスケール、ゲイン = 2)

代表的な性能特性 (続き)

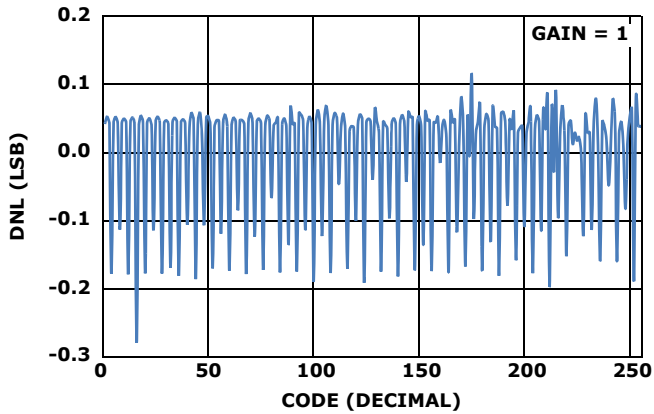


図 6. 汎用 DAC の DNL vs DAC コード値、 $V_{DD} = 3V$

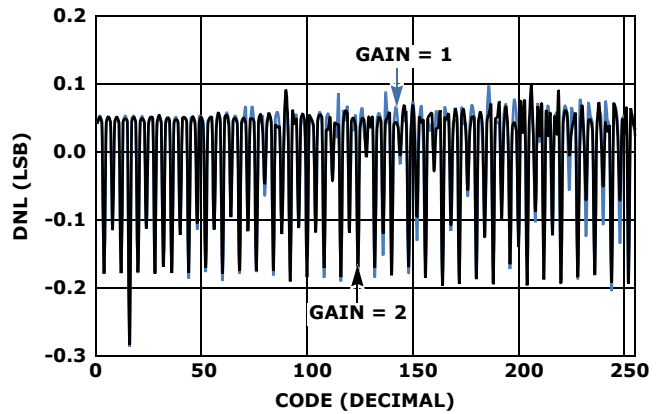


図 7. 汎用 DAC の DNL vs DAC コード値、 $V_{DD} = 5V$

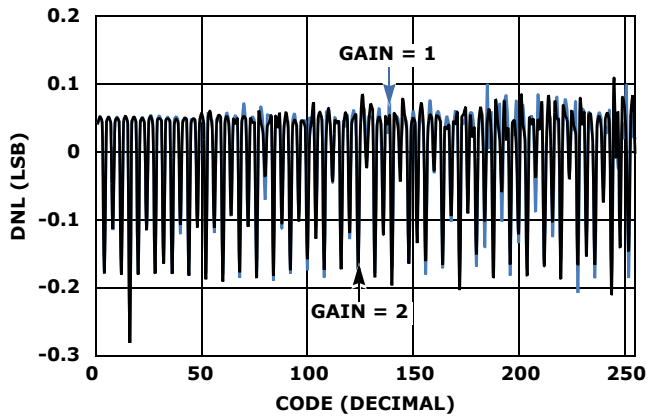


図 8. 汎用 DAC の DNL vs DAC コード値、 $V_{DD} = 15V$

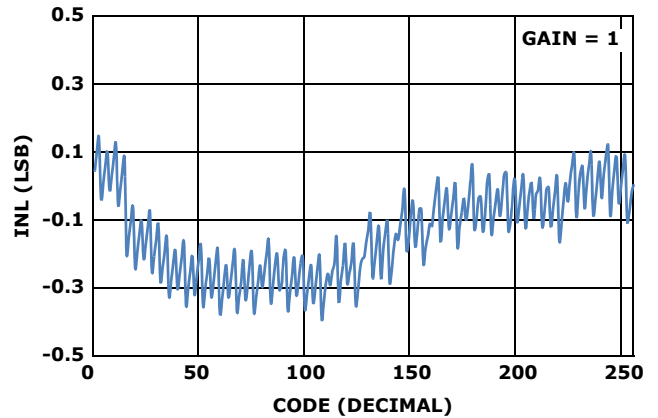


図 9. 汎用 DAC の INL vs DAC コード値、 $V_{DD} = 3V$

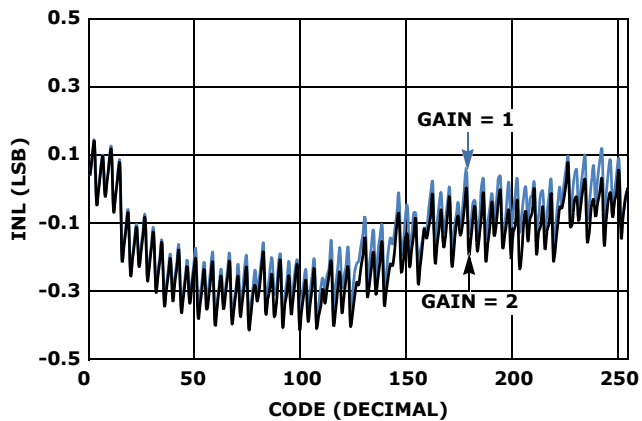


図 10. 汎用 DAC の INL vs DAC コード値、 $V_{DD} = 5V$

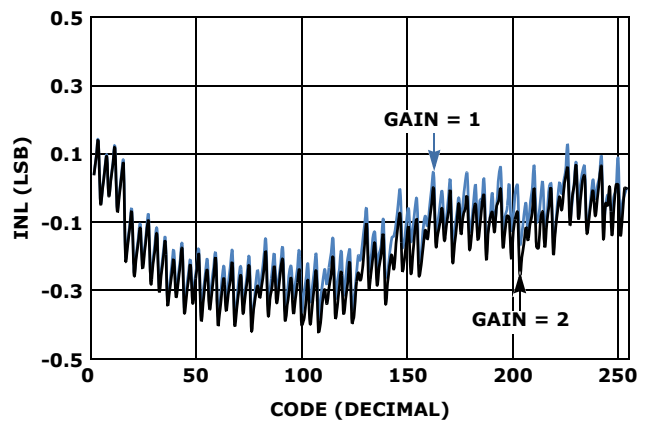


図 11. 汎用 DAC の INL vs DAC コード値、 $V_{DD} = 15V$

代表的な性能特性 (続き)

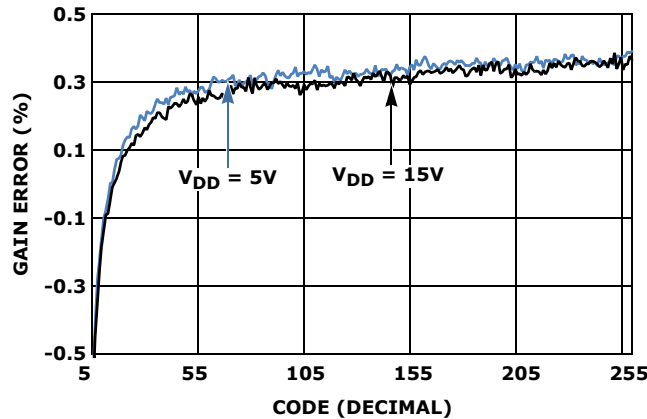


図 12. 汎用 DAC のゲイン誤差

動作の仕組み

ISL25700 は外部物体の温度および外部 P-MOSFET の損失を高精度に制御する MOSFET ドライバです。NTC サーミスタの抵抗値を連続的にセンスし、P-MOSFET (温度制御要素) の電流を調整して温度を制御します。

ISL25700 は、物体の温度と I²C シリアルインタフェースを介してユーザーが設定した目標温度セットポイント (T_{SET}) とを比較し、その差に逆比例する形で P-MOSFET を駆動します。外付け NTC サーミスタを使ってセンスした外部温度をホイートストンブリッジとアンプを用いて駆動電圧に変換します。電流モードのホイートストンブリッジの一边は外付け NTC サーミスタとプログラマブル 8 ビット FTC DAC で構成され、他の一边は内部抵抗 R_{INT} に電流を供給するプログラマブル電流ソース K1 で構成されています。

8 ビット FTC DAC は +15°C の粗調整温度ウインドウ内に設定した T_{SET} を +0.1°C 以下の精度で微調整する役割を担います。T_{SET} 温度は、粗調整温度制御レジスタ Reg.01h [2:0] と、微調整温度制御レジスタ Reg.02h [7:0] で設定します。詳しくは 10 ページの「レジスタマップ」セクションを参照してください。サーミスタの抵抗値、R/T カーブタイプ、誤差、NTC 傾きなどのパラメータと、ホイートストンブリッジの辺を流れる電流比の調整によって、T_{SET} が +15°C の温度粗調整ウインドウの範囲に収まるように設定します。なお T_{SET} は具体的なアプリケーションで見込まれる最高周囲温度よりも高くなければなりません。

システムゲインは、ゲインコントロールレジスタ Reg.03h [4:0] を使って、ステップあたり 0.35dB で 32 ステップの範囲で設定します。総システムゲインを調整することで、外付け部品を使用することなくサーマルシステムの発振を防止できます。

P-MOSFET の電力損失の制御と設定には電流センスレジスタ Reg.01h [7:3] を使用します。この設定機能によって、初期ターンオン時のヒート曲線の調整と、P-MOSFET のオーバーヒートが回避できます。電流をセンスするには P-MOSFET と直列に接続する外付け抵抗 R_{SENSE} が必要です。R_{SENSE} 値によって電流リミット値が決まります。実効的な電圧降下が 200mV から 1750mV の範囲で、かつ、MOSFET が安全動作領域 (SOA) になるように、R_{SENSE} を選択してください。

汎用 8 ビット DAC である GP DAC の出力電圧 V_{DAC} は汎用 DAC レジスタ Reg.04h [7:0] で設定します。汎用 DAC の出力振幅はゲインコントロールレジスタの DAC ゲインビット Reg.03h [6] で設定します。ゲインコントロールレジスタの DAC イネーブルビット Reg.03h [7] を 0 にすると、汎用 DAC はディスエーブル状態になります。

レジスタマップ

デバイスには揮発性 (RAM) と不揮発性 (EEPROM) の 2 種類のレジスタバンクが搭載されています。アドレス 00h から 07h の揮発性レジスタのレジスタ名称およびビット定義と、不揮発性レジスタのレジスタ名称およびビット定義とは同一です。パワーアップ時にすべてのデータは不揮発性レジスタから呼び出される揮発性レジスタに保持されます。パワーアップ後に揮発性レジスタと不揮発性レジスタに独立してライト/リードするには、コントロール/ステータスレジスタの NV ビット Reg.08h [7] を 1 に設定します。ただし、不揮発性レジスタへのライトは対応する揮発性レジスタにも自動的にライトされませんが、不揮発性レジスタからのリードはできません。すべてのデータは対応する揮発性レジスタからリードされます。

デバイスのレジスタマップを表 1 に示します。

表 1. ISL25700 のレジスタマップ

レジスタ名	レジスタアドレス	ビット定義								デフォルト値
		7	6	5	4	3	2	1	0	
デバイス ID (リードオンリー)	00h	ID[7]	ID[6]	ID[5]	ID[4]	ID[3]	ID[2]	ID[1]	ID[0]	00h
電流センス / 粗調整温度制御	01h	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]	CTC[2]	CTC[1]	CTC[0]	03h
微調整温度制御	02h	FTC[7]	FTC[6]	FTC[5]	FTC[4]	FTC[3]	FTC[2]	FTC[1]	FTC[0]	80h
ゲインコントロール (DAC イネーブル / DAC ゲイン / システムループゲイン)	03h	DAC Enable	DAC Gain	NA	SLG[4]	SLG[3]	SLG[2]	SLG[1]	SLG[0]	90h
汎用 DAC	04h	DAC[7]	DAC[6]	DAC[5]	DAC[4]	DAC[3]	DAC[2]	DAC[1]	DAC[0]	80h
汎用レジスタ 1	05h	GP1[7]	GP1[6]	GP1[5]	GP1[4]	GP1[3]	GP1[2]	GP1[1]	GP1[0]	00h
汎用レジスタ 2	06h	GP2[7]	GP2[6]	GP2[5]	GP2[4]	GP2[3]	GP2[2]	GP2[1]	GP2[0]	00h
R _{INT} 絶対誤差 (リードオンリー)	07h	sign bit	ERR[6]	ERR[5]	ERR[4]	ERR[3]	ERR[2]	ERR[1]	ERR[0]	XX
コントロール / ステータスレジスタ (揮発性のみ)	08h	NV	NA	NA	NA	NA	NA	NA	BUSY	00h

デバイス ID レジスタ (Reg.00h[7:0])

リードオンリーレジスタです。デバイス ID コード 00h が格納されています。

粗調整温度制御 (Reg.01h[2:0])

3ビットの設定によって温度セットポイントの7種類の粗調整ウィンドウのひとつを選択します。デフォルトのセットポイントは、R_{TH} が 100kΩ で +25°C での温度係数が -4.25%/°C のサーミスタを接続した場合に、およそ +59°C に相当します。温度セットポイントは +40°C から +110°C の動作温度範囲であればいずれの値にも変更できるほか、異なる抵抗値または R/T カーブタイプ (NTC 傾き) 特性のサーミスタも使えます。その場合、式 1 の R_{INT}/R_{TH} の比に従って、セットポイントが +15°C の粗調整範囲ウィンドウに収まるように、粗調整ウィンドウを設定します。

$$\frac{R_{INT}(T)}{R_{TH}(\text{setpoint})} = \frac{K2 + K3 \times \frac{\text{Code}}{255}}{K1} \quad (\text{式 1})$$

ここで、

R_{INT}: ホイートストンブリッジの一边を構成する内蔵 9kΩ 抵抗。

K1, K2, K3: ホイートストンブリッジの各辺の電流の比を表す係数。

Code: 微調整温度制御レジスタ Reg.02h[7:0] に設定した 10 進数での値。

内蔵抵抗 R_{INT} の抵抗値は ISL25700 のデバイスごとに異なるほか、パッケージ温度にも依存します。温度 T における実際の R_{INT} は式 2 で求めます。

$$R_{INT}(T) = R_{INT}(25) \times [1 + \alpha(T - 25) + \beta(T - 25)^2] \quad (\text{式 2})$$

ここで、

R_{INT}(25) = 9000 + R_{INT} 絶対誤差 × 15: +25°C における内蔵抵抗値で、単位は Ω。

R_{INT} 絶対誤差: R_{INT} 絶対誤差 Reg.07h[7:0] に格納されている絶対誤差を 10 進に変換した符号付き整数。ビット 7 は符号を表し、0 が「+」、1 が「-」。

α = -1337 × 10⁻⁶: 一次温度係数、ppm/°C

β = 5 × 10⁻⁶: 二次温度係数、ppm/°C²

T: 摂氏を単位とする温度。

粗調整温度制御レジスタ Reg.01h[2:0] のそれぞれの設定に対応した K1, K2, K3 の各係数とサーミスタの抵抗範囲を表 2 に示します。

表 2. 粗調整温度範囲

レジスタ 01h[2:0]	K1	K2	K3	セットポイントにおける サーミスタ 抵抗範囲 (kΩ)
000	使用できません			
001	3	3	2	5.4 ~ 9.0
010	4	3	2	7.2 ~ 12.0
100	5	3	2	9.0 ~ 15.0
011	7	3	2	12.6 ~ 21.0
101	8	3	2	14.4 ~ 24.0
110	9	3	2	16.2 ~ 27.0
111	12	3	2	21.6 ~ 36.0

電流センススレッシュホールド (Reg.01h[7:3])

電流リミットのトリップポイントを設定するレジスタです。設定した電圧スレッシュホールドを I_{SENSE} ピンの印加電圧が下回ると V_{OUT} は High になり、その結果、I_{SENSE} × R_{SENSE} に比例する負帰還ループが形成されます。

レジスタの値は表 3 に基づいて設定します。

表 3. 電流センススレッシュヨルド

レジスタ 01h[7:3]	センス抵抗の 電圧低下 スレッシュヨルド $V_{DD} - (I_{SENSE} \times R_{SENSE})$	誤差の TYP 値 (%)	
		$V_{DD} = 3V$	$V_{DD} = 15V$
00000	$V_{DD} - 200mV$	±5	+20
00001	$V_{DD} - 250mV$	±5	+20
00010	$V_{DD} - 300mV$	±5	+20
00011	$V_{DD} - 350mV$	±5	+20
00100	$V_{DD} - 400mV$	±5	+20
00101	$V_{DD} - 450mV$	±5	+20
00110	$V_{DD} - 500mV$	±5	+20
00111	$V_{DD} - 550mV$	±5	+20
01000	$V_{DD} - 600mV$	±5	+20
01001	$V_{DD} - 650mV$	±5	+20
01010	$V_{DD} - 700mV$	±5	+20
01011	$V_{DD} - 750mV$	±5	+20
01100	$V_{DD} - 800mV$	±5	+20
01101	$V_{DD} - 850mV$	±5	+20
01110	$V_{DD} - 900mV$	±5	+20
01111	$V_{DD} - 950mV$	±5	+20
10000	$V_{DD} - 1000mV$	±5	+20
10001	$V_{DD} - 1050mV$	±5	+20
10010	$V_{DD} - 1100mV$	±5	+20
10011	$V_{DD} - 1150mV$	±5	+20
10100	$V_{DD} - 1200mV$	±5	+20
10101	$V_{DD} - 1250mV$	±5	+20
10110	$V_{DD} - 1300mV$	±5	+20
10111	$V_{DD} - 1350mV$	±5	+20
11000	$V_{DD} - 1400mV$	±5	+20
11001	$V_{DD} - 1450mV$	±5	+20
11010	$V_{DD} - 1500mV$	±5	+20
11011	$V_{DD} - 1550mV$	±5	+20
11100	$V_{DD} - 1600mV$	±5	+20
11101	$V_{DD} - 1650mV$	±5	+20
11110	$V_{DD} - 1700mV$	±5	+20
11111	$V_{DD} - 1750mV$	±5	+20

微調整温度制御レジスタ (Reg.02h[7:0])

あらかじめ設定した粗調整温度制御レジスタ Reg.01h[2:0] の範囲内で、8ビット FTC DAC に適切なコードを設定して最終温度 T_{SET} を微調整するレジスタです。最終温度 T_{SET} はステップあたりおよそ $+0.07^{\circ}C$ の増減で微調整可能です。

システムループゲイン (Reg.03h[4:0])

総システムループゲインを表 4 記載のとおりステップあたり $\pm 0.35dB$ で5ビットの範囲で設定します。

デフォルトのシステムループゲインは、MOSFET タイプ、熱伝導率、および周囲温度からの遮断度合いで異なります。

表 4. システムループゲインの設定

Reg.03h[4:0]	ループゲインの設定 (dB)
00000	-5.60
00001	-5.25
00010	-4.90
00011	-4.55
00100	-4.20
00101	-3.85
00110	-3.50
00111	-3.15
01000	-2.80
01001	-2.45
01010	-2.10
01011	-1.75
01100	-1.40
01101	-1.05
01110	-0.70
01111	-0.35
10000	初期ゲイン (デフォルト)
10001	0.35
10010	0.70
10011	1.05
10100	1.40
10101	1.75
10110	2.10
10111	2.45
11000	2.80
11001	3.15
11010	3.50
11011	3.85
11100	4.20
11101	4.55
11110	4.90
11111	5.25

DAC イネーブルおよび DAC ゲイン (Reg.03h[7:6])

DAC イネーブルビット Reg.03h[7] を 0 にすると、汎用 DAC レジスタ Reg.04h[7:0] の設定にかかわらず、DAC 出力はディセーブルになります。DAC イネーブルビット Reg.03h[7] を 1 にすると、DAC 出力は DAC ゲインビット Reg.03[6] および汎用 DAC レジスタ Reg.04h[7:0] の設定内容で決まります。

DAC ゲインビット Reg.03h[6] が 0 のとき DAC の出力電圧範囲は 0V から 2V です。すなわちゲイン=1 です。DAC ゲインビット Reg.03h[6] が 1 のとき、ゲインは 2 となつて、DAC 出力電圧範囲は 0V から 4V になります。

汎用 DAC レジスタ (Reg.04h[7:0])

GP DAC の入力に値を直接書き込んで出力電圧を設定する 8 ビットのレジスタです。レジスタのデフォルト値は 80h です。DAC の出力電圧範囲は DAC ゲインビット Reg.03h[6] の設定によって異なります。

汎用レジスタ 1 および汎用レジスタ 2 (Reg.05h および Reg.06h)

アプリケーションに開放されている 8 ビットの汎用不揮発性レジスタおよび揮発性レジスタです。較正データの格納やシステム情報の格納に使えます。

R_{INT} 絶対誤差レジスタ (Reg.07h[7:0])

内部抵抗 R_{INT} の公称値と実際値の差を格納するレジスタです。R_{INT} の公称値は 9kΩ で、抵抗両端の電圧低下が温度セットポイントを表します。R_{INT} の絶対誤差の LSB 重みは 15Ω です。R_{INT} の計算は式 2 を参照してください。

コントロール / ステータスレジスタ (Reg.08h[7:0])

NV ビット Reg.08h[7] は、データのリードおよびライトの対象を不揮発性レジスタか揮発性レジスタに指定するビットです。このビットを 0 にすると、すべての動作は不揮発性レジスタが対象になり、データは同時に揮発性レジスタに複製されます。このビットを 1 にすると、すべての動作は揮発性レジスタのみが対象になります。NV ビット Reg.08h[7] のデフォルト値は 0 です。

BUSY ビット Reg.08h[0] はリードオンリーです。1 のとき、不揮発性レジスタへのライトサイクルが進行中であることを示します。このビットを読み出すことで、NACK 方式を用いることなく、ひとつ前のライトの完了を確認してから次のライトサイクルの発行に移ることができません。

I²C シリアルインタフェース

ISL25700 は双方向のバスプロトコルを採用しています。このプロトコルでは、バスにデータを送出するデバイスをトランスミッタとして定義し、バスのデータを受信するデバイスをレシーバとして定義します。転送を制御するデバイスはマスターであり、転送を制御されるデバイスはスレーブです。マスターはデータ転送を開始する役割と、送信動作および受信動作のそれぞれでクロックを与える役割を担います。ゆえに ISL25700 は、すべてのアプリケーションにおいてスレーブデバイスとして動作します。

I²C インタフェース上では、すべてのデータバイトは MSB を先頭に送信されます。

プロトコルの説明

SDA ラインのデータ遷移は SCL が Low 期間にのみ許されています。SCL が High 期間中の SDA ステート遷移は START 条件と STOP 条件を示すために予約されています (図 13 を参照)。ISL25700 のパワーアップ後は SDA ピンは入力モードになります。

すべての I²C インタフェース動作は、SCL が High 期間中に SDA が High から Low に遷移する START 条件から始まります。ISL25700 は SDA と SCL ラインを連続的に監視して START 条件を検出します。START 条件が満たされない限りいかなるコマンドにも応答しません (図 13 参照)。ただし、パワーアップシーケンス中と不揮発性レジスタへの内部ライトサイクル中は、START 条件は無視されます。

すべての I²C インタフェース動作は、SCL が High 期間中に SDA に Low から High に遷移する STOP 条件で終了します (図 13 参照)。各リード動作の終了時の STOP 条件、または揮発性レジスタに対するライト動作の終了によって、デバイスはスタンバイモードに移行します。不揮発性レジスタへのライトに対して STOP 条件が発行されると、不揮発性レジスタに対する実際のライトサイクルが始まります。不揮発性レジスタへの内部ライトサイクルが完了するとデバイスはスタンバイモードに移行します。

アックレッジ「ACK」はデータ転送の成功に使われる便宜上の表記です。マスターあるいはスレーブいずれかの送信デバイスは、8 ビット送信後に SDA バスを解放します。レシーバは 9 番目のクロックサイクル中に SDA ラインを Low に引き込んで 8 ビットデータの受信を示します (図 14)。

ISL25700 は、START 条件を認識したあと、有効な識別バイトと正しいアドレスバイトを受信すると ACK で応答します。ISL25700 はライト動作のデータバイトの受信後にも ACK で応答します。リード動作の場合、マスターはデータバイトの受信後に ACK で応答します。

有効な識別バイトの上位 7 ビットは 0101000b で構成されています。LSB はリード / ライトビットです。1 はリード動作を表し、0 はライト動作を表します (表 5 参照)。

表 5. 識別バイトの形式

0	1	0	1	0	0	0	R/W
(MSB)							(LSB)

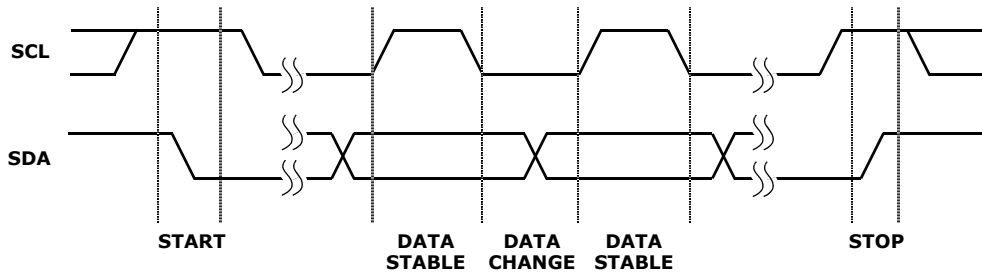


図 13. 有効なデータ変化、スタート条件、ストップ条件

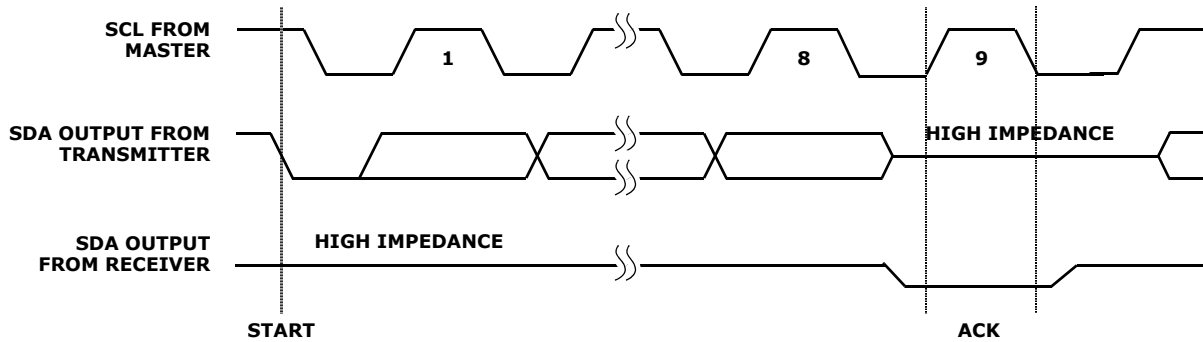


図 14. レシーバからの ACK 応答

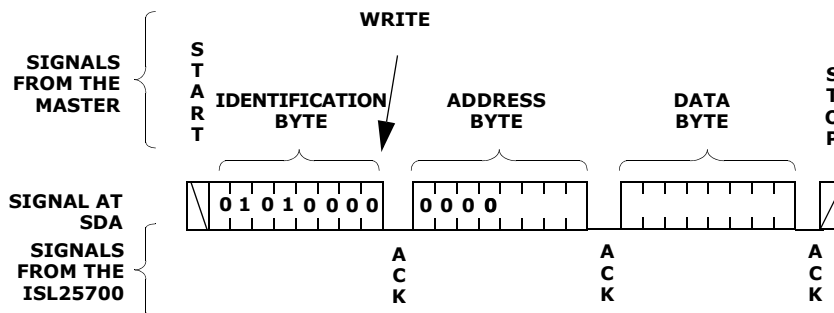


図 15. バイトライトシーケンス

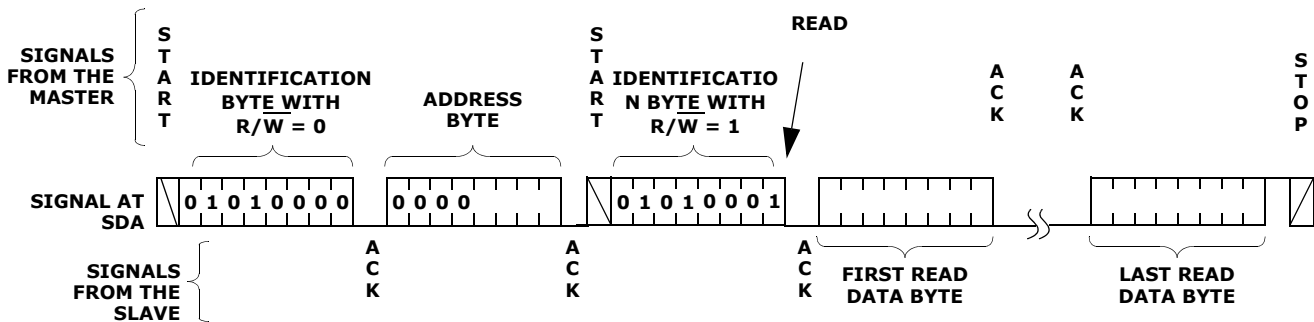


図 16. リードシーケンス

ライト動作

ライト動作は、START 条件に続いて、有効な識別バイト、有効なアドレスバイト、データバイト、および STOP 条件で構成されます。識別バイト、アドレスバイト、データバイトの 3 バイトそれぞれに対して ISL25700 は ACK で応答します。このとき、データバイトは揮発性レジスタにのみ書き込まれたあと、デバイスはスタンバイモードに移行します。不揮発性レジスタにもデータバイトを書き込むように設定されている場合は、ISL25700 は不揮発性レジスタへの内部ライトサイクルを開始します。不揮発性レジスタへの内部ライトサイクルの間、ISL25700 は SDA ピンおよび SCL ピンの遷移を無視するとともに、SDA 出力をハイインピーダンス状態にします。不揮発性レジスタへの内部ライトサイクルが終了すると、ISL25700 はスタンバイ状態に移行します (図 14 参照)。

データバイトを揮発性レジスタのみに書き込むか、または不揮発性レジスタにも書き込むかは、コントロール / ステータスレジスタの NV ビット Reg.08h[7] で指定します (10 ページの「レジスタマップ」を参照)。なお、不揮発性レジスタへの連続書き込みには 20ms の間隔が必要です。

ポーリング制御

不揮発性レジスタへのライトサイクルが進行中かどうかはコントロール / ステータスレジスタの BUSY ビット Reg.08h[0] をポーリングすることで分かります (13 ページの「コントロール / ステータスレジスタ (Reg.08h[7:0])」を参照)。BUSY ビット Reg.08h[0] が 1 のとき、不揮発性レジスタへの内部ライトサイクルが進行中です。この場合、マスターは次のライトサイクルを発行してはなりません。不揮発性レジスタへの内部ライトサイクルが終了すると BUSY ビット Reg.08h[0] は 0 になります。

リード動作

リード動作は 3 バイトの命令と 1 バイト以上のデータバイトで構成されます (図 16 を参照)。マスターは、START 条件、R/W ビットが 0 の識別バイト、アドレスバイト、2 回目の START 条件、R/W ビットが 1 の 2 個目の識別バイトというシーケンスを発行してリード動作を開始します。3 バイトのそれぞれで ISL25700 は ACK で応答します。続いて ISL25700 はデータバイトを出力します。ISL25700 がデータバイトの最終ビットを出力すると、マスターは STOP 条件を発行してリード動作を終結します (図 16 参照)。

データバイトを揮発性レジスタから読み出すか、または不揮発性レジスタから読み出すかは、コントロール / ステータスレジスタの NV ビット Reg.08h[7] で指定します (10 ページの「レジスタマップ」を参照)。

アプリケーション情報

適切な温度制御を行うには、サーミスタを適切に選択するとともに、システム全体を正しく較正することが重要です。サーミスタの選択手順および較正手順を以下に示します。

1. サーミスタタイプを選択し、メーカーから RT 特性を入手します。
2. 所望の温度におけるサーミスタ抵抗値を求め、対応する粗調整温度範囲を表 2 から探します。セットポイントにおけるサーミスタの抵抗値は粗調整範囲内になければなりません。なお、粗調整温度範囲は互いに重複しています。
3. サーマル発振を防ぐとともに高速なセトリングを得るために、電流センスレジスタ Reg.01h[7:3] とゲインコントロールレジスタのシステムループゲインビット Reg.03h[4:0] にできるだけ大きな値を設定します。
4. 外部温度センサーを使用してシステム較正を実行し微調整を行います。

サーミスタの選択

所望の温度セットポイント T_{SET} における抵抗値が、表 2 の範囲に収まるサーミスタを選択します。サーミスタの R/T 特性は、表またはグラフの形式で、通常はメーカーから提供されます。

たとえば、 $T_{SET} = +91.5^{\circ}\text{C}$ で温度を安定させたい場合を考えてみます。サーミスタには Vishay 社の 100k Ω NTC サーミスタ NTCS0805E3104FXT を使用すると仮定します。Vishay がウェブ上 (<http://www.vishay.com/doc?29100>) で提供している Microsoft Excel のワークシートを用いて計算すると、このサーミスタの $+91.5^{\circ}\text{C}$ における抵抗値は 8109.12 Ω と求まります。この値を表 2 に当てはめると、粗調整温度範囲の設定値は 001b または 010b になることがわかります。

電流センス抵抗と MOSFET の選択

電流センス抵抗 R_{SENSE} は、システムの最大消費電力、最大電流、最小分解能などを考慮して選択します。 R_{SENSE} の推奨値は 0.1 Ω から 10 Ω の範囲です。0.1 Ω の抵抗を使うと最大電流は 2A から 17.5A の範囲に制限され、10 Ω の抵抗を使うと電流リミットは 20mA から 175mA の範囲に制限されます。適切な電力定格となるように電流センス抵抗のタイプとサイズを選択してください。

ISL25700 は P タイプのパワー MOSFET またはダーリントンペアとの組み合わせでのみ動作します。ドライブ能力が限られているためバイポーラトランジスタは駆動できません。パワー MOSFET はマイクロ恒温槽内でヒーターとして使われます。

システムループゲインの設定

アプリケーション回路を、ISL25700、パワー MOSFET、発熱要素、およびサーミスタなどを使って構成します。システムループゲインによって帰還系の熱安定性が決まります。言い換えると、あるセットポイントを別のセットポイントに変更したときに、パワー MOSFET を流れる電流を発振を起こすことなく短時間でセトリングさせなければなりません。なお電流のセトリング時間は、電流プローブを使ってオシロスコープで観測します。

ボード線図を解析してシステムの位相マージンを求める方法でもシステムの安定性がわかります。ゲインおよび位相マージンのボード線図は、 R_{TH} ピンからサーミスタ

を切り離してループを崩し、 R_{TH} ピンとサーミスタの間に低周波シグナルアナライザを接続して取得します。この方法でシステムの伝達関数と周波数との関係が解析できます。なお、サーミスタは外部電源によって $30\mu\text{A}$ の DC 電流でバイアスされている点に注意してください。シグナルアナライザを使って入力ノード (R_{TH}) で周波数を掃引し、出力ノード (サーミスタ) の位相変化を測定します。経験則として、システムゲインが 0dB に到達したとき、 45° 以上の位相マージンが必要です。

システムループゲインは一度決めたらできるだけ変更しないでください。

較正手順

回路をパワーアップし、粗調整温度制御レジスタ $\text{Reg.01h}[2:0]$ を 001b にプログラムします。較正済みの外部温度センサーを使ってサーミスタの温度を測定します。サーミスタの温度が安定したら、所望の温度となるように、外部温度センサーが $+91.5^\circ\text{C}$ (この例の場合) を指すまで微調整温度制御レジスタ $\text{Reg.02h}[7:0]$ の値を変更します。

式 1 と式 2 を用いて次のように 10 進の FTC コードを求めます。

$$\text{Code} = \frac{K1 \times R_{INT}(T) - K2 \times R_{TH}(T)}{K3 \times R_{TH}(T)} \times 255 \quad (\text{式 3})$$

なお、最終的なアプリケーションシステム温度は、許容されている消費電力と、周囲温度からの遮断度合いによって異なります。

汎用レジスタ 1 $\text{Reg.05h}[7:0]$ および汎用レジスタ 2 $\text{Reg.06h}[7:0]$ には 2 点の温度ポイントに対応する較正值を格納することができます。3 点以上の温度ポイントに対する較正值をルックアップテーブルとして保存する場合は外部メモリを使用してください。

デバイスの配置とレイアウトの注意事項

精度を維持し、かつ、サーミスタとデバイス間のグラウンドトレース長をできるだけ短くするために、ISL25700 とサーミスタはできるだけ近くに配置してください。デバイスのグラウンドピンとシステムのグラウンドは、 R_{TH} 帰還ピンがコモングラウンドノイズを拾わないように、「一点グラウンド」として単一点で接続してください。

ISL25700 はサーミスタから離して遮蔽領域の外に配置することもできますが、周囲温度範囲が広がるため、セットポイント精度は低下します。式 2 に基づくルックアップテーブルを用いてセットポイントのずれを防止してください。

VDD ピンの近くに、デカップリングのために、 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサを並列に配置してください。

パワーアップ時に MOSFET に大電流スパイクが流れないように、P-MOSFET のゲートには $500\text{k}\Omega$ 以上のプルアップ抵抗か 2 ページの「ブロック図 / アプリケーション回路」に記載したようなハイパス RC フィルタを接続してください。ハイパスフィルタの時定数は $1\mu\text{s}$ から $20\mu\text{s}$ の範囲に設定してください。

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めてはいますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトアクセスしてください。

日付	レビジョン	変更点
2010/9/3	FN6885.0	初版

製品

インターシルは高性能アナログ半導体の設計および製造に関する世界的なリーダーです。当社の製品は、フラットパネルディスプレイ、携帯電話、ハンドヘルド製品、ノートパソコンなど、急速な成長を遂げているマーケットを対象としています。インターシルではパワーマネージメント機能とアナログ信号処理機能に対応した製品ファミリーを取り揃えています。製品ファミリーの詳細については www.intersil.com/product_tree/ をアクセスしてください。

* アプリケーション、関連ドキュメント、関連部品については、www.intersil.com 内の [ISL25700](#) のページを参照してください。

本データシートに関するご意見や誤りのご指摘は www.intersil.com/askourstaff からご連絡ください。

信頼性に関するデータは rel.intersil.com/reports/search.php を参照してください。

インターシルのそのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

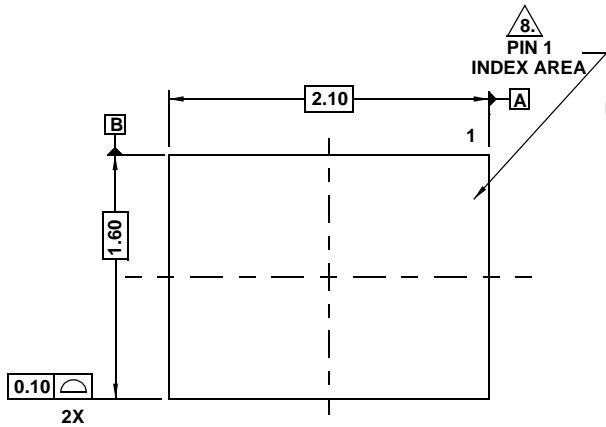
インターシルの製品は製品に関する情報のみを提供して販売されます。インターシルは、予告なしにいかなる時点においても、回路設計、ソフトウェア、仕様を変更する権利を有します。したがってお客様におかれは、部品を発注する前に、データシートが最新であることをご確認ください。インターシルが提供する情報は正確かつ信頼できうるものと考えておりますが、その使用に関して、インターシルおよび関連子会社は責を負わないものとします。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

インターシルの会社概要については www.intersil.com をアクセスしてください。

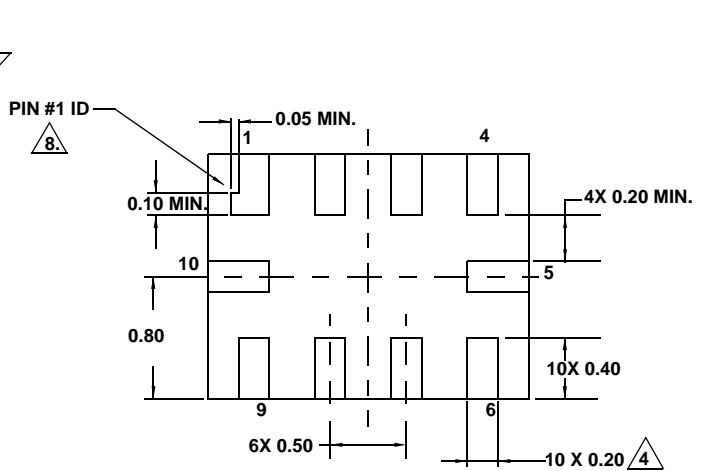
パッケージ寸法図

L10.2.1x1.6A

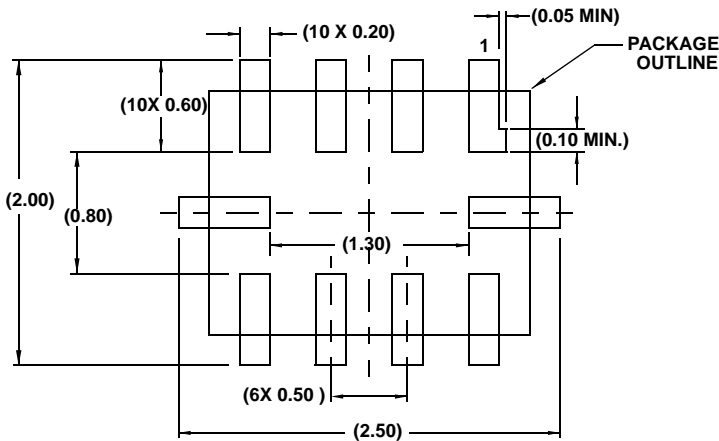
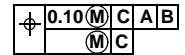
10 LEAD ULTRA THIN QUAD FLAT NO-LEAD PLASTIC PACKAGE
Rev 5, 2010/3



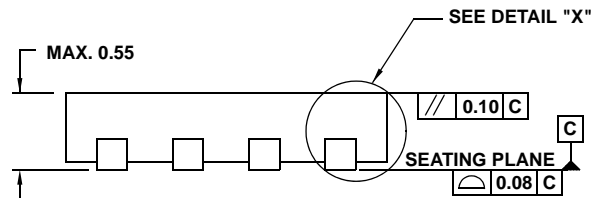
上面図



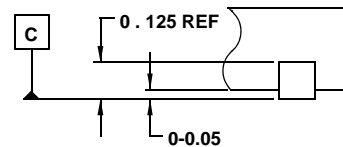
底面図



推奨ランドパターンの例



側面図



詳細図 "X"

備考：

1. 寸法と公差は ASME Y14.5m-1994 に従っています。
2. 寸法の単位は mm です。角度の単位は度です。
() 内の寸法は参考値です。
3. 特記のない限り、公差は DECIMAL ±0.05 です。
4. リード幅はメッキ端子に適用され、端子先端から 0.15mm ~ 0.30mm のポイントで計測した値です。
5. パッケージの反りの最大は 0.05mm です。
6. 許容されるバリの最大寸法は各方向とも 0.076mm です。
7. 次の点を除き JEDEC MO-255UABD と同一です。
リードプルバックなし、パッケージ厚さの MIN 値は 0.50mm ではなく 0.45mm
リード長さ寸法は 0.42mm ではなく 0.45mm MAX
8. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。